

대한민국특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

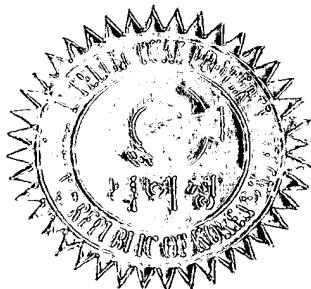
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 43111 호  
Application Number PATENT-2001-0043111

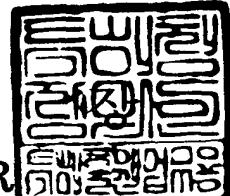
출원년월일 : 2001년 07월 18일  
Date of Application JUL 18, 2001

출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002 년 06 월 27 일



특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2001.07.18
【국제특허분류】	H01L
【발명의 명칭】	파워 -업 동작시 반도체 메모리 장치의 안정화 신호의 발생 방법
【발명의 영문명칭】	Stable signal generating method for power-up semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	배일만
【성명의 영문표기】	BAE, Il Man
【주민등록번호】	691004-1676518
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 964-5번지 신나무실 주공아파트 516동 605호
【국적】	KR
【발명자】	
【성명의 국문표기】	김재훈
【성명의 영문표기】	KIM, Jae Hoon
【주민등록번호】	710615-1267813

【우편번호】 442-190  
【주소】 경기도 수원시 팔달구 우만동 우만주공아파트 207동 201호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 이영  
필 (인) 대리인  
정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	5	면	5,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	21	항	781,000	원
【합계】	815,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

파워-업시 안정화 회로가 차지하는 레이 아웃 면적과 전력 소모를 줄일 수 있는 안정화 신호 발생 방법이 개시된다. 외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법은 (a) 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계, (b) 수신된 프리 차지 명령에 응답하여 안정화 신호를 제 1 레벨로 활성화하는 단계, (c) 프리 차지 명령을 수신한 후, 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계, (d) 리프레시 명령을 수신한 후, 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 및 (e) 수신된 모드 설정 명령에 응답하여 안정화 신호를 제 2 레벨로 비활성화 하는 단계를 구비한다.

본 발명에 따른 안정화 신호 발생 방법에 의해서 파워-업시 안정화 회로가 차지하는 레이 아웃 면적과 전력 소모를 줄일 수 있는 장점이 있다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

파워-업 동작시 반도체 메모리 장치의 안정화 신호의 발생 방법{Stable signal generating method for power-up semiconductor memory device}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 파워-업 순간의 내부회로의 불안정한 동작을 방지하는 안정화 회로를 나타내는 도면이다.

도 2는 안정화 신호를 사용하여 내부회로를 안정화시키는 일 예를 나타내는 회로도이다.

도 3은 본 발명의 제 1 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

도 4는 본 발명의 제 2 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

도 5는 본 발명의 제 3 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

도 6은 본 발명의 제 4 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

도 7은 본 발명의 제 5 실시예에 따른 안정화 회로의 턴 오프 방법을 나타내는 플로우 차트이다.

도 8은 본 발명의 제 6 실시예에 따른 안정화 회로의 턴 오프 방법을 나타내는 플로우 차트이다.

### 【발명의 상세한 설명】

#### 【발명의 목적】

##### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 메모리 장치에 관한 것으로서 특히, 반도체 메모리 장치의 파워-업(power-up)에 따른 내부 회로들의 불안정한 동작을 방지하는 안정화 신호의 발생 방법에 관한 것이다.

<11> 반도체 메모리 장치를 사용하기 위하여 외부 전원을 인가하는 것을 파워-업(power-up)이라고 하며, 반도체 메모리 장치에는 파워-업 동작시 반도체 메모리 장치의 회로 내부의 불안정한 동작을 방지하기 위하여 안정화 회로를 두고 있다. 여기서 불안정한 동작이라 함은 외부에서 인가되는 외부 전원이 완전히 안정되지 않았기 때문에 데이터의 논리 하이 또는 논리 로우에 대한 회로적 판단이 파워-업 동작구간에서는 어렵다는 것을 의미한다. 따라서 파워-업 구간에서 일시적으로 논리 하이 값을 가지다가 논리 로우 값으로 떨어지는 안정화 신호를 이용하여 회로 내부를 논리 하이나 논리 로우의 일정한 안정적인 레벨로 래치 시킴으로써 내부 회로의 불안정한 동작을 방지한다.

<12> 도 1은 파워-업 순간의 내부회로의 불안정한 동작을 방지하는 안정화 회로를 나타내는 도면이다.

<13> 안정화 회로(100)는 피모스 트랜지스터(MP1), 커패시터(CAP), 저항(R1) 및 인버터들(I11, I12, I13)을 구비한다.

<14> 안정화 회로(100)의 동작을 살펴보면, 외부에서 외부 전원(EVC)이 인가되고 외부 전원(EVC)의 전압 레벨이 높아지는 경우, 안정화 회로(100)의 출력 신호인 안정화 신호(VCCHB)는 외부 전원(EVC)의 전압 레벨의 증가에 따라 함께 증가한다. 외부 전원(EVC)이 일정 전압 이상이 되면 제 1 노드(N11)가 논리 하이 레벨로 인식될 수 있는 적정한 전압으로 세팅된다. 안정화 신호(VCCHB)는 제 1 노드(N11)가 논리 하이 레벨로 인식되는 순간부터 인버터들(I11, I12, I13)에 의해 논리 로우 레벨로 발생된다. 따라서 안정화 신호(VCCHB)는 일종의 펄스 신호와 같은 모습을 나타내며, 이와 같은 펄스 신호 형태의 안정화 신호(VCCHB)는 파워-업 순간에 반도체 메모리 장치의 내부 회로들의 불안정한 동작을 막기 위한 신호로서 사용된다.

<15> 도 2는 안정화 신호를 사용하여 내부회로를 안정화시키는 일 예를 나타내는 회로도이다.

<16> 동작을 살펴보면, 파워-업 순간에 입력 신호(IN)는 입력되지 않으며, 따라서 제 1 노드(N21)는 불안정한 상태를 가진다. 이때 안정화 신호(VCCHB)가 논리 하이 레벨로 입력되면, 인버터(I21)에 의해 피모스 트랜지스터(MP2)를 턴 온 시키고 제 1 노드(N21)는 논리 하이 레벨로 래치되어 안정화된다. 따라서 출력 신호(OUT)의 변동이 방지된다. 안정화 신호(VCCHB)가 논리 로우 레벨로 천이되면 피모스 트랜지스터(MP2)는 턴 오 프 되고 제 1노드(N21)는 논리 하이 레벨로 래치된 상태로 유지된다. 이와 같이 안정화 신호(VCCHB)는 반도체 메모리 장치의 내부 회로들의 노드들을 파워-업 순간에 일정한 논리 레벨로 세팅해주는 기능을 한다.

<17> 그런데 안정화 회로(100)는 일반적으로 큰 레이 아웃(lay-out)을 차지하고, 안정화 신호(VCCHB)의 발생 후에도 디바이스가 동작하는 동안에는 일정하게 전력을 소모하는 문제가 있다. 또한 인가되는 외부 전원(EVC)의 전압 레벨이 낮아지는 추세에 따라 안정화 신호(VCCHB)도 그 레벨이 낮아지게 되어 내부 회로들의 불안정한 동작을 방지하기 위한 신호로서의 기능을 수행하는데 어려운 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자하는 기술적 과제는, 안정화 회로가 차지하는 레이 아웃 면적과 전력 소모를 줄일 수 있는 안정화 신호 발생 방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<19> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 안정화 신호 발생 방법은, 외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서, (a) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계, (b) 상기 수신된 프리 차지 명령에 응답하여 상기 안정화 신호를 제 1 레벨로 활성화하는 단계, (c) 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계, (d) 상기 리프레시 명령을 수신한 후, 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 및 (e) 상기 수신된 모드 설정 명령에 응답하여 상기 안정화 신호를 제 2 레벨로 비활성화 하는 단계를 구비하는 것을 특징으로 한다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 안정화 신호 발생 방법은, 외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서, (a) 상기 반도체 메모리 장치의 모든 뱅크를 끄리 차지하는 끄리 차지 명령을 수신하는 단계 및 (b) 상기 수신된 끄리 차지 명령에 응답하여 자동 펄스를 발생하여 상기 안정화 신호로서 사용하는 단계를 구비하는 것을 특징으로 한다.

<21> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 안정화 신호 발생 방법은, 외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서, (a) 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 및 (b) 상기 수신된 모드 설정 명령에 응답하여 자동 펄스를 발생하여 상기 안정화 신호로서 사용하는 단계를 구비하는 것을 특징으로 한다.

<22> 상기 기술적 과제를 달성하기 위한 본 발명의 제 4 실시예에 따른 안정화 신호 발생 방법은, 외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 회로를 구비하며, 상기 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서, (a) 상기 외부 전원에 응답하여 상기 안정화 회로가 예비 안정화 신호를 발생하는 단계, (b) 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 및 (c) 상기 예비 안정화 신호 및 상기 수신된 모드 설정 명령에 응답하여 자동 펄스를 발생하여 상기 안정화 신호로서 사용하는 단계를 구비하는 것을 특징으로 한다.

<23> 상기 안정화 신호 발생 방법은 (d) 상기 발생된 안정화 신호에 응답하여 상기 안정화 회로를 턴 오프 시키는 단계를 더 구비할 수 있다.

<24> 상기 기술적 과제를 달성하기 위한 본 발명의 제 5 실시예에 따른 안정화 회로의 턴 오프 방법은, 외부 전원의 인가에 따라 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호를 발생하는 안정화 회로를 턴 오프 시키는 방법에 있어서, (a) 상기 외부 전원에 응답하여 상기 안정화 회로가 안정화 신호를 발생하는 단계, (b) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계, (c) 상기 프리 차지 명령에 응답하여 상기 안정화 회로를 턴 오프 시키는 단계를 구비하는 것을 특징으로 한다.

<25> 상기 기술적 과제를 달성하기 위한 본 발명의 제 6 실시예에 따른 안정화 회로의 턴 오프 방법은, 외부 전원의 인가에 따라 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호를 발생하는 안정화 회로를 턴 오프 시키는 방법에 있어서, (a) 상기 외부 전원에 응답하여 상기 안정화 회로가 안정화 신호를 발생하는 단계, (b) 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 및 (c) 상기 모드 설정 명령에 응답하여 상기 안정화 회로를 턴 오프 시키는 단계를 구비하는 것을 특징으로 한다.

<26> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<28> 도 3은 본 발명의 제 1 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

<29> 외부 전원(EVC)이 인가되면 반도체 메모리 장치는 모든 뱅크들을 프리차지 하는 프리차지 명령, 리프레시 명령 및 모드 설정 명령을 순차적으로 수신한다. 이들 명령들은 반도체 메모리 장치로 외부 전원이 인가되면 발생되며, 반도체 메모리 장치는 이들 명령들을 수신한 후에 실제 동작을 위한 명령들을 수신하여 동작된다. 본 발명의 제 1 실시예는 이와 같이 외부 전원(EVC)의 인가시 초기에 발생되는 명령들을 이용하여 안정화 회로로부터 발생되는 안정화 신호를 발생하는 방법에 관한 것이다.

<30> 이하 도 3을 참조하여 본 발명의 제 1 실시예에 따른 안정화 신호의 발생 방법 (300)이 상세히 설명된다.

<31> 반도체 메모리 장치로 외부 전원이 인가된 후, 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신한다(310 단계). 프리차지 명령이 인가되면 프리차지를 위한 신호가 발생되어 프리차지 동작이 수행될 것이다. 그러나 이런 동작과 별개로 수신된 프리 차지 명령에 응답하여 안정화 신호를 제 1 레벨로 활성화한다(320 단계) 이는 프리차지 명령이 인가되면 반도체 메모리 장치의 내부에서 하나의 플래그(flag), 즉 펄스 형태의 신호가 발생되도록 회로를 구성함에 의해 구현할 수 있다. 여기서 제 1 레벨은 논리 하이 레벨이거나 또는 논리 로우 레벨일 수 있다.

<32> 프리 차지 명령을 수신한 후, 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신한다(330 단계). 리프레시 명령에 응답하여 반도체 메모리 장치는 수 차례에 걸쳐서 리프레시 된다. 리프레시 명령을 수신한 후, 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신한다(340). 모드 설정 명령은 반도체 메모리 장치의 동

작 모드를 설정하여 주는 명령으로서, 싱크로너스 디램(Synchronous DRAM)에서는 MRS(Mode Register Set)이며, 어싱크로너스 디램(Asynchronous DRAM)에서는 WCBR(Write CAS Before RAS)인 것을 특징으로 한다.

<33> 모드 설정 명령을 수신한 후에는 반도체 메모리 장치는 다른 명령을 수신하여 명령에 따른 동작을 수행하게 된다. 다음으로, 수신된 모드 설정 명령에 응답하여 안정화 신호를 제 2 레벨로 비활성화 한다(350 단계). 여기서 제 2 레벨은 제 1 레벨이 논리 하이 레벨이면 논리 로우 레벨이 되고, 제 1 레벨이 논리 로우 레벨이면 논리 하이 레벨이 된다. 제 1레벨과 제 2 레벨에 의해서 안정화 신호는 하나의 펄스 신호 형태를 유지하게 되며, 이는 안정화 회로로부터 발생되는 안정화 신호의 역할을 대신하게 된다. 따라서 안정화 회로를 제거하여 안정화 회로가 차지하는 레이 아웃 면적을 줄이고 또한 안정화 회로의 전력 소모를 줄이면서도 파워-업 순간에 불안정하게 동작하는 내부 회로들을 명령들에 의해 발생되는 안정화 신호에 의해 안정화시킬 수 있다.

<34> 도 4는 본 발명의 제 2 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

<35> 도 4를 참조하여 본 발명의 제 2 실시예에 따른 안정화 신호의 발생 방법(400)을 설명한다. 본 발명의 제 2 실시예는 프리차지 명령에 응답하여 하나의 펄스를 발생한다는 점에서 본 발명의 제 1 실시예와 차이가 있다. 즉, 외부 전원이 반도체 메모리 장치로 인가된 후, 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신한다(410 단계). 프리 차지 명령을 수신한 후, 순차적으로 리프레시 명령 및 모드 설정 명령을 수신한다. 그러나 이들 명령의 수신과는 별개로 반도체 메모리 장치는 수신된 프리 차지 명령에 응답하여 자동 펄스를 발생하여 안정화 신호로서 사용한다(420 단계).

이는 프리 차지 명령에 응답하여 펄스 신호를 발생하는 자동 펄스 발생기를 반도체 메모리 장치의 내부에 구비함으로써 구현할 수 있다. 자동 펄스 발생기로부터 발생된 펄스 신호는 안정화 회로로부터 발생되는 안정화 신호의 역할을 대신하게 된다. 따라서 제 1 실시예와 동일한 효과를 발생한다.

<36>        도 5는 본 발명의 제 3 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

<37>        도 5를 참조하여 본 발명의 제 3 실시예에 따른 안정화 신호의 발생 방법(500)을 설명한다. 본 발명의 제 3 실시예는 모드 설정 명령에 응답하여 하나의 펄스를 발생한다는 점에서 본 발명의 제 1 실시예 및 제 2 실시예와 차이가 있다. 즉, 외부 전원이 반도체 메모리 장치로 인가된 후, 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신한다(510 단계). 그리고 반도체 메모리 장치는 수신된 모드 설정 명령에 응답하여 자동 펄스를 발생하여 안정화 신호로서 사용한다(520 단계). 이는 모드 설정 명령에 응답하여 펄스 신호를 발생하는 자동 펄스 발생기를 반도체 메모리 장치의 내부에 구비함으로써 구현할 수 있다. 여기서, 모드 설정 명령은 제 1 실시예와 마찬가지로 싱크로너스 디램(Synchronous DRAM)에서는 MRS(Mode Register Set)이고 어싱크로너스 디램(Asynchronous DRAM)에서는 WCBR(Write CAS Before RAS)이다. 자동 펄스 발생기로부터 발생된 펄스 신호는 안정화 회로로부터 발생되는 안정화 신호의 역할을 대신하게 된다. 따라서 제 1 실시예 및 제 2 실시예와 동일한 효과를 발생한다.

<38>        상기 본 발명의 제 3 실시예에 따른 안정화 신호의 발생 방법(500)은 제 510 단계의 전 단계에 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신

하는 단계, 및 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계를 더 구비할 수 있다.

<39>      도 6은 본 발명의 제 4 실시예에 따른 안정화 신호의 발생 방법을 나타내는 플로우 차트이다.

<40>      도 6을 참조하여 본 발명의 제 4 실시예에 따른 안정화 신호의 발생 방법(600)을 설명한다. 본 발명의 제 4 실시예는 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 회로를 구비한다는 점에서 본 발명의 제 1, 제 2 및 제 3 실시예와 구별된다.

<41>      즉, 외부 전원에 응답하여 안정화 회로가 예비 안정화 신호를 발생한다(610 단계). 예비 안정화 신호는 도 1의 안정화 회로(100)로부터 출력되는 신호(VCCHB)와 동일한 신호로서 내부회로들을 안정화시키는 역할을 한다.

<42>      반도체 메모리 장치가 모드 설정 명령을 수신한다(620 단계). 그리고 반도체 메모리 장치는 예비 안정화 신호 및 수신된 모드 설정 명령에 응답하여 자동 펄스를 발생하여 안정화 신호로서 사용한다(630 단계). 이는 예비 안정화 신호 및 모드 설정 명령에 응답하여 펄스 신호를 발생하는 자동 펄스 발생기를 반도체 메모리 장치의 내부에 구비함으로써 구현할 수 있다. 최근 전원 전압 레벨이 낮아지는 추세에 따라 예비 안정화 신호의 전압 레벨도 낮아지고 있다. 따라서 외부 전원의 인가시 예비 안정화 신호만으로 내부회로들을 안정화시키는 것보다 예비 안정화 신호와 모드 설정 명령에 응답하여 펄스 신호를 발생하여 안정화 신호로서 사용하면 내부 회로들을 좀더 확실히 안정화시킬 수 있다. 여기서, 모드 설정 명령은 제 1 실시예와 마찬가지로 싱크로너스 디램(Synchronous DRAM)에서는 MRS(Mode Register Set)이고 어싱크로너스 디램(Asynchronous

DRAM)에서는 WCBR(Write CAS Before RAS)이다. 본 발명의 제 4 실시예에 따른 안정화 신호 발생 방법은, 발생된 안정화 신호에 응답하여 안정화 회로를 턴 오프 시키는 단계를 더 구비할 수 있다. 따라서 파워-업 후에도 안정화 회로에 일정한 직류 전류가 흐름으로 인하여 발생하는 전력 소비를 줄일 수 있다.

<43> 본 발명의 제 4 실시예에 따른 안정화 신호의 발생 방법(600)은 제 610 단계와 제 620 단계의 사이에 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계 및 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계를 더 구비할 수 있다.

<44> 도 7은 본 발명의 제 5 실시예에 따른 안정화 회로의 턴 오프 방법을 나타내는 플로우 차트이다.

<45> 도 7을 참조하여 본 발명의 제 5 실시예에 따른 안정화 회로의 턴 오프 방법(700)을 설명한다. 외부 전원이 반도체 메모리 장치로 인가된 후, 외부 전원에 응답하여 안정화 회로가 안정화 신호를 발생한다(710 단계). 안정화 신호는 도 1의 안정화 회로(100)로부터 출력되는 신호(VCCHB)와 동일한 신호로서 내부회로들을 안정화시키는 역할을 한다. 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신한다(720 단계). 그리고 프리 차지 명령을 수신한 후, 순차적으로 리프레시 명령 및 모드 설정 명령을 수신한다. 그러나 이들 명령의 수신과는 별개로 반도체 메모리 장치는 수신된 프리 차지 명령에 응답하여 안정화 회로를 턴 오프 시킨다(730 단계). 이는 프리 차지 명령에 응답하여 안정화 회로를 턴 오프 시킬 수 있는 회로를 구성함에 의해 구현할 수 있다. 따라서 파워-업 후에도 안정화 회로에 일정한 직류 전류가 흐름으로 인하여 발생하는 전력 소비를 줄일 수 있다.

<46> 도 8은 본 발명의 제 6 실시예에 따른 안정화 회로의 턴 오프 방법을 나타내는 플로우 차트이다.

<47> 도 8을 참조하여 본 발명의 제 6 실시예에 따른 안정화 회로의 턴 오프 방법(800)을 설명한다. 외부 전원에 응답하여 안정화 회로가 안정화 신호를 발생한다(810 단계). 안정화 신호는 도 1의 안정화 회로(100)로부터 출력되는 신호(VCCHB)와 동일한 신호로서 내부회로들을 안정화시키는 역할을 한다. 반도체 메모리 장치가 모드 설정 명령을 수신한다(820 단계). 그리고 반도체 메모리 장치는 수신된 모드 설정 명령에 응답하여 안정화 회로를 턴 오프 시킨다(830 단계). 이는 모드 설정 명령에 응답하여 안정화 회로를 턴 오프 시킬 수 있는 회로를 구성함에 의해 구현할 수 있다. 따라서 파워-업 후에도 안정화 회로에 일정한 직류 전류가 흐름으로 인하여 발생하는 전력 소비를 줄일 수 있다. 여기서, 모드 설정 명령은 제 1 실시예와 마찬가지로 싱크로너스 디램(Synchronous DRAM)에서는 MRS(Mode Register Set)이고 어싱크로너스 디램(Asynchronous DRAM)에서는 WCBR(Write CAS Before RAS)이다.

<48> 본 발명의 제 6 실시예에 따른 안정화 회로의 턴 오프 방법(800)은

<49> 상기 810 단계와 상기 820 단계의 사이에 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계 및 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계를 더 구비할 수 있다.

<50> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은

아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<51> 상술한 바와 같이 본발명에 따른 안정화 신호 발생 방법은, 파워-업시 안정화 회로가 차지하는 레이 아웃 면적과 전력 소모를 줄일 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서,

(a) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계;

(b) 상기 수신된 프리 차지 명령에 응답하여 상기 안정화 신호를 제 1 레벨로 활성화하는 단계;

(c) 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계;

(d) 상기 리프레시 명령을 수신한 후, 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계; 및

(e) 상기 수신된 모드 설정 명령에 응답하여 상기 안정화 신호를 제 2 레벨로 비활성화 하는 단계를 구비하는 것을 특징으로 하는 안정화 신호 발생 방법.

**【청구항 2】**

제 1항에 있어서,

상기 제 1 레벨은 논리 하이 레벨이고 상기 제 2 레벨은 논리 로우 레벨인 것을 특징으로 하는 안정화 신호 발생 방법.

**【청구항 3】**

제 1항에 있어서,

상기 제 1 레벨은 논리 로우 레벨이고 상기 제 2 레벨은 논리 하이 레벨인 것을 특징으로 하는 안정화 신호 발생 방법.

#### 【청구항 4】

제 1항에 있어서, 상기 모드 설정 명령은,  
싱크로너스 디램(Synchronous DRAM)에서는 MRS(Mode Register Set)인 것을 특징으로 하는 안정화 신호 발생 방법.

#### 【청구항 5】

제 1항에 있어서, 상기 모드 설정 명령은,  
어싱크로너스 디램(Asynchronous DRAM)에서는 WCBR(Write CAS Before RAS)인 것을 특징으로 하는 안정화 신호 발생 방법.

#### 【청구항 6】

외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서,  
(a) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계 ;  
(b) 상기 수신된 프리 차지 명령에 응답하여 자동 펄스를 발생하여 상기 안정화 신호로서 사용하는 단계를 구비하는 것을 특징으로 하는 안정화 신호 발생 방법.

#### 【청구항 7】

외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서,

(a) 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 ; 및

(b) 상기 수신된 모드 설정 명령에 응답하여 자동 펄스를 발생하여 상기 안정화 신호로서 사용하는 단계를 구비하는 것을 특징으로 하는 안정화 신호 발생 방법.

#### 【청구항 8】

제 7항에 있어서, 상기 모드 설정 명령은,  
싱크로너스 디램(Synchronous DRAM)에서는 MRS(Mode Register Set)인 것을 특징으로 하는 안정화 신호 발생 방법.

#### 【청구항 9】

제 7항에 있어서, 상기 모드 설정 명령은,  
어싱크로너스 디램(Asynchronous DRAM)에서는 WCBR(Write CAS Before RAS)인 것을 특징으로 하는 안정화 신호 발생 방법.

#### 【청구항 10】

제 7항에 있어서, 상기 안정화 신호 발생 방법은,  
상기 (a) 단계의 전단계에,  
(a1) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계 ; 및  
(a2) 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계를 더 구비하는 것을 특징으로 하는 안정화 신호 발생 방법.

**【청구항 11】**

외부 전원의 인가에 따른 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 회로를 구비하며, 상기 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호의 발생 방법에 있어서,

- (a) 상기 외부 전원에 응답하여 상기 안정화 회로가 예비 안정화 신호를 발생하는 단계 ;
- (b) 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 ; 및
- (c) 상기 예비 안정화 신호 및 상기 수신된 모드 설정 명령에 응답하여 자동 펄스를 발생하여 상기 안정화 신호로서 사용하는 단계를 구비하는 것을 특징으로 하는 안정화 신호 발생 방법

**【청구항 12】**

제 11항에 있어서, 상기 모드 설정 명령은,  
싱크로너스 디램(Synchronous DRAM)에서는 MRS(Mode Register Set)인 것을 특징으로 하는 내부 노드 안정화 신호 발생 방법.

**【청구항 13】**

제 11항에 있어서, 상기 모드 설정 명령은,  
어싱크로너스 디램(Asynchronous DRAM) 에서는 WCBR(Write CAS Before RAS)인 것을 특징으로 하는 내부 노드 안정화 신호 발생 방법.

**【청구항 14】**

제 11항에 있어서, 상기 안정화 신호 발생 방법은,

(d) 상기 발생된 안정화 신호에 응답하여 상기 안정화 회로를 턴 오프 시키는 단계를 더 구비하는 것을 특징으로 하는 내부 노드 안정화 신호 발생 방법.

**【청구항 15】**

제 11항에 있어서, 상기 안정화 신호 발생 방법은,

상기 (a)단계와 상기 (b)단계의 사이에,

(b1) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계 ; 및  
(b2) 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기 위한 리프레시 명령을 수신하는 단계를 더 구비하는 것을 특징으로 하는 안정화 신호 발생 방법.

**【청구항 16】**

제 15항에 있어서, 상기 안정화 신호 발생 방법은,

상기 (c)단계 후에,

(d) 상기 발생된 안정화 신호에 응답하여 상기 안정화 회로를 턴 오프 시키는 단계를 더 구비하는 것을 특징으로 하는 내부 노드 안정화 신호 발생 방법.

**【청구항 17】**

외부 전원의 인가에 따라 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호를 발생하는 안정화 회로를 턴 오프 시키는 방법에 있어서,

- (a) 상기 외부 전원에 응답하여 상기 안정화 회로가 안정화 신호를 발생하는 단계 ;
- (b) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수신하는 단계 ; 및
- (c) 상기 프리 차지 명령에 응답하여 상기 안정화 회로를 턴 오프 시키는 단계를 구비하는 것을 특징으로 하는 안정화 회로의 턴 오프 방법.

**【청구항 18】**

외부 전원의 인가에 따라 반도체 메모리 장치의 내부 회로들의 불안정한 초기 동작을 방지하기 위한 안정화 신호를 발생하는 안정화 회로를 턴 오프 시키는 방법에 있어서,

- (a) 상기 외부 전원에 응답하여 상기 안정화 회로가 안정화 신호를 발생하는 단계 ;
- (b) 상기 반도체 메모리 장치의 동작 모드를 설정하는 모드 설정 명령을 수신하는 단계 ; 및
- (c) 상기 모드 설정 명령에 응답하여 상기 안정화 회로를 턴 오프 시키는 단계를 구비하는 것을 특징으로 하는 안정화 회로의 턴 오프 방법.

**【청구항 19】**

제 18항에 있어서, 상기 모드 설정 명령은,  
싱크로너스 디램(Synchronous DRAM) 에서는 MRS(Mode Register Set)인 것을 특징으  
로 하는 내부 노드 안정화 신호 발생 방법.

**【청구항 20】**

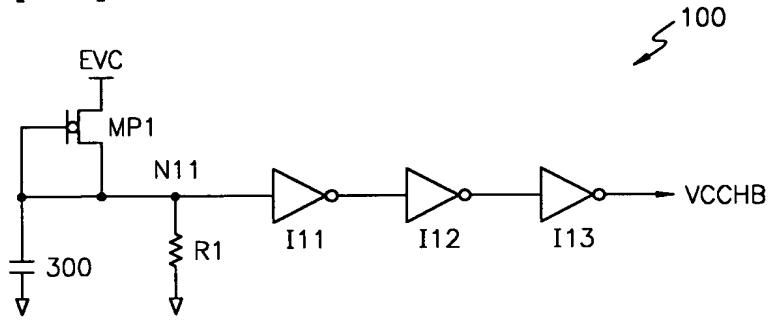
제 18항에 있어서, 상기 모드 설정 명령은,  
어싱크로너스 디램(Asynchronous DRAM) 에서는 WCBR(Write CAS Before RAS)인 것을  
특징으로 하는 내부 노드 안정화 신호 발생 방법.

**【청구항 21】**

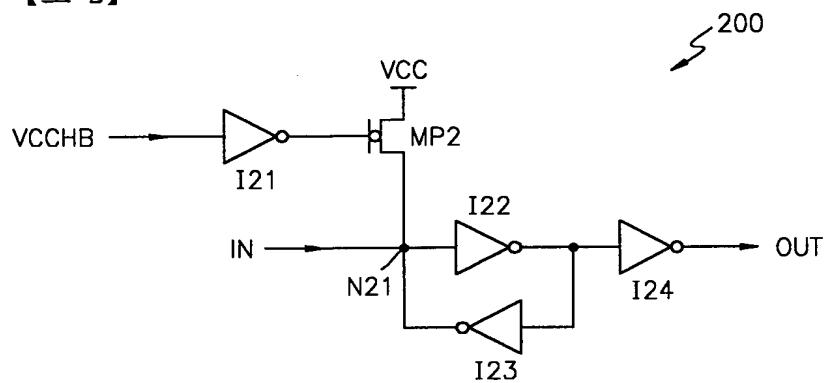
제 18항에 있어서, 상기 안정화 신호 발생 방법은,  
상기 (a)단계와 상기 (b)단계의 사이에,  
(b1) 상기 반도체 메모리 장치의 모든 뱅크를 프리 차지하는 프리 차지 명령을 수  
신하는 단계 ; 및  
(b2) 상기 프리 차지 명령을 수신한 후, 상기 반도체 메모리 장치를 리프레시하기  
위한 리프레시 명령을 수신하는 단계를 더 구비하는 것을 특징으로 하는 안정화 신호 발  
생 방법.

## 【도면】

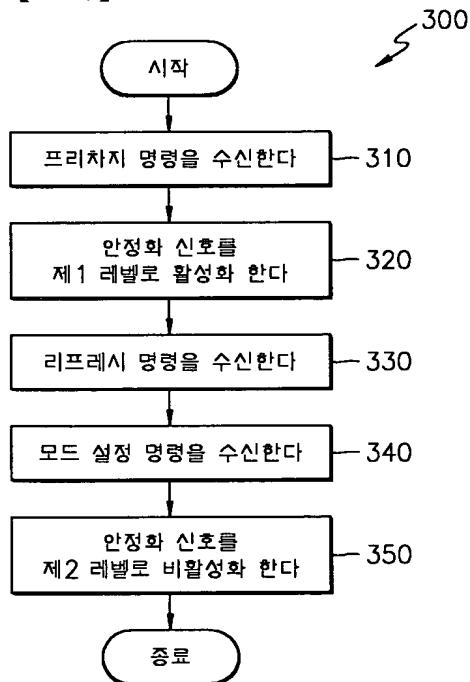
【도 1】



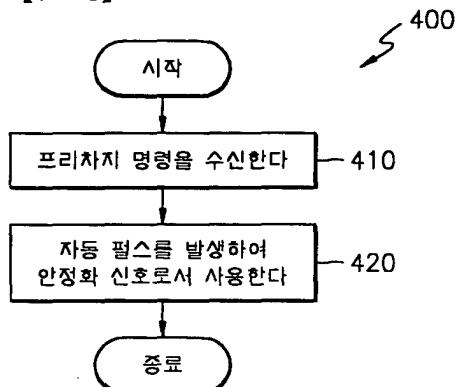
【도 2】



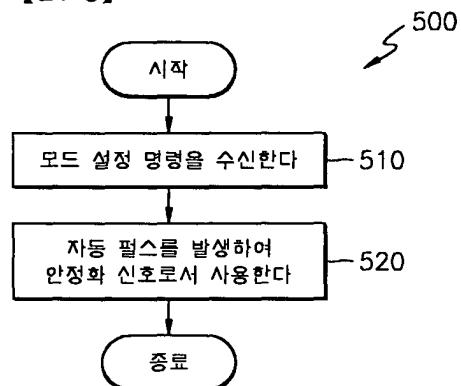
【도 3】



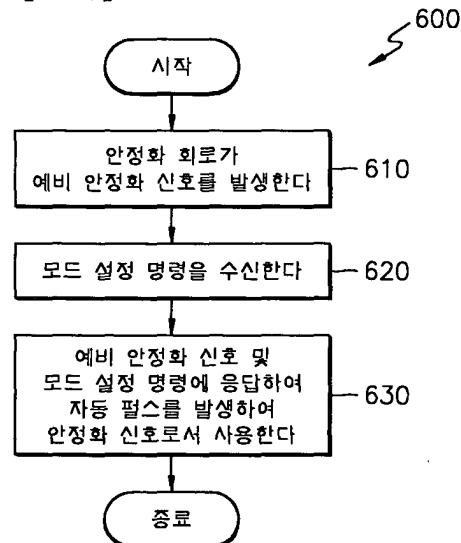
## 【도 4】



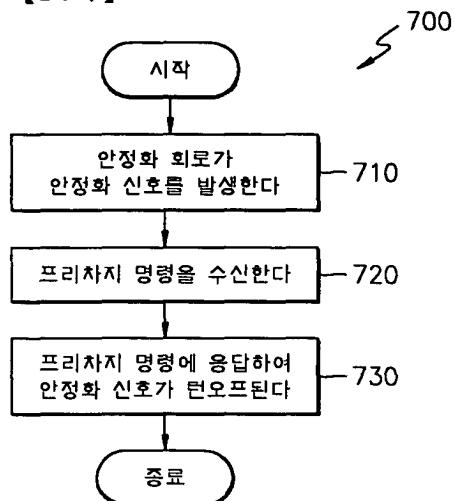
## 【도 5】



## 【도 6】



【도 7】



【도 8】

